

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-039797

(43)Date of publication of application : 13.02.2001

(51)Int.Cl. C30B 29/06
H01L 21/20
H01L 21/208

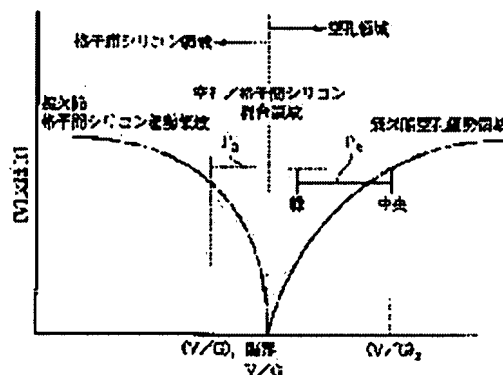
(21)Application number : 11-213749 (71)Applicant : MITSUBISHI MATERIALS
SILICON CORP
MITSUBISHI MATERIALS CORP
(22)Date of filing : 28.07.1999 (72)Inventor : KOYA HIROSHI
KIMURA MASAKI

(54) SILICON WAFER FOR LAMINATING EPITAXIAL LAYER AND EPITAXIAL WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To form an epitaxial layer being a thin film on the surface of which trace of COP and LD are almost not generated when it is formed and whose electrical characteristics are improved and the production yield is high.

SOLUTION: A silicon wafer is used for laminating an epitaxial layer of a thin film. In the silicon wafer, the number of particles and the number of interstitial dislocations due to crystallization are controlled to be 0 to 10 per wafer, respectively. The silicon wafer has an electrical resistance of $\leq 0.02 \Omega\text{cm}$, and an epitaxial thin layer being a thin film having an electrical resistance of $\geq 0.1 \Omega\text{cm}$ is formed on the wafer by a reduced pressure CVD method. The thickness of the epitaxial thin layer is preferably 0.5 to 5 μm .



LEGAL STATUS

[Date of request for examination]

07.10.2002

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001039797 A**(43) Date of publication of application: **13.02.01**

(51) Int. Cl.

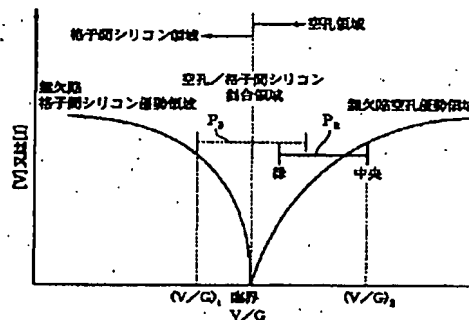
C30B 29/06**H01L 21/20****H01L 21/208**(21) Application number: **11213749**(22) Date of filing: **28.07.99**(71) Applicant: **MITSUBISHI MATERIALS SILICON
CORP MITSUBISHI MATERIALS
CORP**(72) Inventor: **KOYA HIROSHI
KIMURA MASAKI**

BEST AVAILABLE COPY

**(54) SILICON WAFER FOR LAMINATING EPITAXIAL
LAYER AND EPITAXIAL WAFER****(57) Abstract:**

PROBLEM TO BE SOLVED: To form an epitaxial layer being a thin film on the surface of which trace of COP and LD are almost not generated when it is formed and whose electrical characteristics are improved and the production yield is high.

SOLUTION: A silicon wafer is used for laminating an epitaxial layer of a thin film. In the silicon wafer, the number of particles and the number of interstitial dislocations due to crystallization are controlled to be 0 to 10 per wafer, respectively. The silicon wafer has an electrical resistance of $\leq 0.02 \Omega\text{cm}$, and an epitaxial thin layer being a thin film having an electrical resistance of $\leq 0.1 \Omega\text{cm}$ is formed on the wafer by a reduced pressure CVD method. The thickness of the epitaxial thin layer is preferably 0.5 to 5 μm .



COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-39797

(P2001-39797A)

(43) 公開日 平成13年2月13日 (2001.2.13)

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
C 3 0 B	29/06	C 3 0 B 29/06	A 4 G 0 7 7
H 0 1 L	21/20	H 0 1 L 21/20	5 F 0 5 2
	21/208	21/208	P 5 F 0 5 3

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平11-213749

(22) 出願日 平成11年7月28日 (1999.7.28)

(71) 出願人 000228925

三菱マテリアルシリコン株式会社
東京都千代田区大手町一丁目5番1号

(71) 出願人 000006264

三菱マテリアル株式会社
東京都千代田区大手町1丁目5番1号

(72) 発明者 小屋 浩

東京都千代田区大手町1丁目5番1号 三
菱マテリアルシリコン株式会社内

(74) 代理人 100085372

弁理士 須田 正義

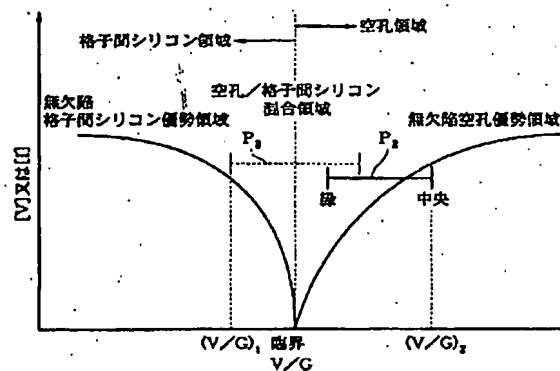
最終頁に続く

(54) 【発明の名称】 エピタキシャル層積層用シリコンウェーハ及びエピタキシャルウェーハ

(57) 【要約】

【課題】 薄膜のエピタキシャル層を形成したときにこのエピタキシャル層表面にCOPの痕跡もLDも殆ど生じさせない。電気的特性がより向上し、かつ製造時の歩留りも大きい薄膜のエピタキシャル層を形成する。

【解決手段】 薄膜のエピタキシャル層を積層するためのシリコンウェーハであって、結晶に起因したパーティクル及び侵入型転位がそれぞれウェーハ当り0~10個であるエピタキシャル層積層用シリコンウェーハである。この基板となるシリコンウェーハの抵抗率が0.02Ωcm以下であって、このウェーハ上に減圧CVD法で抵抗率が0.1Ωcm以上の薄膜のエピタキシャル層が形成されたエピタキシャルウェーハである。薄膜のエピタキシャル層の厚さが0.5~5μmであることが好ましい。



【特許請求の範囲】

【請求項1】 薄膜のエピタキシャル層を積層するためのシリコンウェーハであって、

結晶に起因したパーティクル及び侵入型転位がそれぞれウェーハ当たり0～10個であることを特徴とするエピタキシャル層積層用シリコンウェーハ。

【請求項2】 請求項1記載のシリコンウェーハの抵抗率が0.02Ωcm以下であって、前記シリコンウェーハ上に減圧化学的気相堆積法で抵抗率が0.1Ωcm以上の薄膜のエピタキシャル層が形成されたエピタキシャルウェーハ。

【請求項3】 薄膜のエピタキシャル層の厚さが0.5～5μmである請求項2記載のエピタキシャルウェーハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チョクラルスキー法（以下、CZ法という。）により作られた、薄膜のエピタキシャル層を積層するためのシリコンウェーハ及びエピタキシャル層が積層されたエピタキシャルウェーハに関するものである。

【0002】

【従来の技術】これまでエピタキシャルウェーハはまず高性能バイポーラトランジスタに応用され、次いでバイポーラICに応用されてきた。エピタキシャルウェーハでは、基板となるシリコンウェーハ上に任意の膜厚及び抵抗率の単結晶シリコンのエピタキシャル層を形成できるため、例えば低抵抗基板上に高抵抗エピタキシャル層を形成することにより、高速度トランジスタを実現することができる。またバイポーラICで必須であるpn接合素子間の効果的な分離が、エピタキシャル層の形成により有効に行われる。近年、トランジスタの動作速度をより向上して高性能化するために、薄膜のエピタキシャル層の厚さを極力薄くすることが求められている。

【0003】しかし、この要求に応えるためにエピタキシャル層を極力薄く（例えば3μm以下）にすると、基板となるシリコンウェーハの表面に、結晶に起因したパーティクル（Crystal Originated Particle、以下、COPという。）や、侵入型転位（Interstitial-type Large Dislocation Loop、以下、LDという。）が存在する場合には、問題を生じる。ここでCOPは鏡面研磨後のシリコンウェーハをアンモニアと過酸化水素の混合液で洗浄すると、ウェーハ表面にビットが形成され、このウェーハをパーティクルカウンタで測定すると、ビットも本来のパーティクルとともにパーティクルとして検出される結晶に起因した欠陥である。またLDは、結晶の格子欠陥の1つであって、転位クラスタとも呼ばれたり、或いはこの欠陥を生じたシリコンウェーハをフッ酸を主成分とする選択エッチング液に浸漬するとビットを生じることから転位ビットとも呼ばれる。

【0004】即ち、基板となるシリコンウェーハ表面にCOPが存在すると、このウェーハの表面の形状を做って、エピタキシャル層表面にもCOPの痕跡が現れる。また基板となるシリコンウェーハ表面にLDが存在すると、このウェーハ上にエピタキシャル層を形成するときにエビ炉の加熱により、エピタキシャル層の下ウェーハ（基板）において、LDとなって顕在化し、このLDがエピタキシャル層表面の欠陥密度を増大させてしまう。

【0005】エピタキシャル層表面にCOPの痕跡や、LDが顕在化する場合には、これらの痕跡等は電気的特性、例えば酸化膜の経時絶縁破壊特性（Time Dependent dielectric Breakdown、TDDDB）、酸化膜耐圧特性（Time Zero Dielectric Breakdown、TZDB）等を劣化させる原因となる。またCOPの痕跡及びLDがエピタキシャル層表面に存在するとデバイスの配線工程において段差を生じ、この段差は断線の原因となっており、歩留りを低くする。本出願人は、この点を解決するために「薄膜エピタキシャルウェーハおよびその製造方法」に関する特許出願を行った（特開平10-209056、同10-209057）。即ち、本出願人は、特開平10-209056号公報により、COP密度が 1×10^4 個/cm²以下であって、しかもその表面にCOPが存在しないか、又は少ない個数で存在する単結晶シリコン基板をCZ法で作製し、この基板上に減圧下で厚さ4.0μm未満のエピタキシャル層を形成する方法及びその薄膜エピタキシャルウェーハを提案した。また特開平10-209057号公報により、p型不純物が高濃度にドーブされ、しかもその表面にCOPが存在しないか、又は少ない個数で存在する単結晶シリコン基板をCZ法で作製し、この基板上に減圧下で厚さ4.0μm未満のエピタキシャル層を形成する方法及びその薄膜エピタキシャルウェーハを提案した。これらの方法によれば、例えば厚さ1μmのエピタキシャル層の形成で、6インチウェーハで0.13μm以上のCOPの数を50個以下にすることができる。

【0006】

【発明が解決しようとする課題】しかし、上記2つの方法とも、基板となるシリコンウェーハをCZ法で0.4mm/分程度の比較的低い速度で上げたシリコン単結晶から作製しているため、このシリコンウェーハではCOPの発生を抑制できるものの、LDが発生してしまい、エピタキシャル層表面にLDが顕在化するという上記問題が未解決であった。本発明の目的は、薄膜のエピタキシャル層を形成したときにこのエピタキシャル層表面にCOPの痕跡もLDも殆ど生じさせない、エピタキシャル層積層用シリコンウェーハを提供することにある。本発明の別の目的は、電気的特性がより向上し、かつ製造時の歩留りも大きい薄膜のエピタキシャル層が形成されたエピタキシャルウェーハを提供することにある。

る。

【0007】

【課題を解決するための手段】請求項1に係る発明は、薄膜のエピタキシャル層を積層するためのシリコンウェーハであって、結晶に起因したパーティクル(COP)及び侵入型転位(LD)がそれぞれウェーハ当たり0~10個であることを特徴とするエピタキシャル層積層用シリコンウェーハである。COPもLDもそれぞれウェーハ当たり0~10個であるシリコンウェーハであるため、薄膜のエピタキシャル層の厚さを極薄にしても、このエピタキシャル層の表面にはCOPの痕跡は全く生じず、かつLDも全く顕在化しない。COP及びLDのウェーハ当たりの個数は直径12インチ以下のウェーハでの個数をいう。

【0008】請求項2に係る発明は、請求項1に記載されたシリコンウェーハの抵抗率が0.02Ωcm以下であって、このシリコンウェーハ上に減圧化学的気相堆積(以下、CVDという。)法で抵抗率が0.1Ωcm以上の薄膜のエピタキシャル層が形成されたエピタキシャルウェーハである。減圧CVD法でエピタキシャル成長することにより、エピタキシャル成長温度を低く抑えて均一の厚さを有するエピタキシャル層を形成でき、かつ高濃度基板(ウェーハ)から薄膜のエピタキシャル層へのオートドーピングを抑制できる。同時に低抵抗のシリコンウェーハに高抵抗のエピタキシャル層を形成して作製されたエピタキシャルウェーハは、高速度トランジスタを実現することができ、しかもエピタキシャル層の表面にCOPの痕跡やLDが殆どないため、このエピタキシャルウェーハは電気的特性がより向上し、かつ製造時の歩留りも大きい。

【0009】請求項3に係る発明は、請求項2に係る発明であって、薄膜のエピタキシャル層の厚さが0.5~5μmであるエピタキシャルウェーハである。基板となるシリコンウェーハ表面のCOPやLDによる電気的特性の低下を生じることなく、薄膜のエピタキシャル層を上記範囲の極薄にすることにより、このエピタキシャルウェーハからトランジスタを作製した場合に、トランジスタの動作速度をより向上して高性能化することができる。

【0010】

【発明の実施の形態】本発明の薄膜のエピタキシャル層を積層するためのシリコンウェーハは、CZ法によりホットゾーン炉内のシリコン融液からインゴットをボロコフ(Voronkov)の理論に基づいた所定の引上げ速度プロファイルで引上げた後、このインゴットをスライスして作製される。一般的に、CZ法によりホットゾーン炉内のシリコン融液からシリコン単結晶のインゴットを引上げたときには、シリコン単結晶における欠陥として、点欠陥(point defect)と点欠陥の凝集体(agglomerates: 三次元欠陥)が発生する。点欠陥は空孔型点欠陥と

格子間Si型点欠陥という二つの一般的な形態がある。空孔型点欠陥は一つのシリコン原子がシリコン結晶格子で正常的な位置の一つから離脱したものである。このような空孔が空孔型点欠陥になる。一方、原子がシリコン結晶の格子点以外の位置(インタースチシャルサイト)で発見されるとこれが格子間Si型点欠陥になる。

【0011】点欠陥は一般的にシリコン融液(溶融シリコン)とインゴット(固状シリコン)の間の接触面で形成される。しかし、インゴットを継続的に引上げることによって接触面であった部分は引上げとともに冷却し始める。冷却の間、空孔型点欠陥又は格子間Si型点欠陥は拡散により互いに合併して、空孔型点欠陥の凝集体(vacancy agglomerates)又は格子間Si型点欠陥の凝集体(interstitial agglomerates)が形成される。言い換えれば、凝集体は点欠陥の合併に起因して発生する三次元構造である。空孔型点欠陥の凝集体は前述したCOPの他に、LSTD(Laser Scattering Tomograph Defects)又はFPD(Flow Pattern Defects)と呼ばれる欠陥を含み、格子間Si型点欠陥の凝集体は前述したLDなどの欠陥を含む。FPDとは、インゴットをスライスして作製されたシリコンウェーハを30分間セコ(Secco)エッチング液で化学エッチングしたときに現れる特異なフローパターンを呈する痕跡の源であり、LSTDとは、シリコン単結晶内に赤外線を照射したときにシリコンとは異なる屈折率を有し散乱光を発生する源である。

【0012】ボロコフの理論は、欠陥の数が少ない高純度インゴットを成長させるために、インゴットの引上げ速度を V (mm/分)、ホットゾーン構造でインゴット-シリコン融液の接触面の温度勾配を G (°C/mm)とすると、 V/G (mm²/分・°C)を制御することである。この理論では、図1に示すように、 V/G は関数として空孔濃度及び格子間Si濃度を図式的に表現し、ウェーハで空孔/格子間Si領域の境界が V/G によって決定されることを説明している。より詳しくは、 V/G 比が臨界点以上では空孔型点欠陥が支配的に存在するインゴットが形成される反面、 V/G 比が臨界点以下では格子間Si型点欠陥が支配的に存在するインゴットが形成される。

【0013】本発明の所定の引上げ速度プロファイルは、インゴットがホットゾーン炉内のシリコン溶融物から引上げられる時、温度勾配に対する引上げ速度の比(V/G)が格子間Si型点欠陥の凝集体の発生を防止する第1臨界比($(V/G)_1$)以上であって、空孔型点欠陥の凝集体をインゴットの中央にある空孔型点欠陥が支配的に存在する領域内に制限する第2臨界比($(V/G)_2$)以下に維持されるように決められる。

【0014】この引上げ速度のプロファイルは、実験的に基準インゴットを軸方向にスライスすることで、又はこれらの技術を組合わせることで、シミュレーションに

よって上記ボロンコフの理論に基づき決定される。即ち、この決定は、シミュレーションの後、インゴットの軸方向スライス及びスライスされたウェーハの確認を行い、更にシミュレーションを繰り返すことによりなされる。シミュレーションのために複数種類の引上げ速度が所定の範囲で決められ、複数個の基準インゴットが成長される。図2に示すように、シミュレーションのための引上げ速度プロファイルは1.2mm/分のような高い引上げ速度(a)から0.5mm/分の低い引上げ速度(c)及び再び高い引上げ速度(d)に調整される。上記低い引上げ速度は0.4mm/分又はそれ以下であることもあってよく、引上げ速度(b)及び(d)での変化は線形的なものが望ましい。

【0015】異なった速度で引上げられ複数個の基準インゴットは各別に軸方向にスライスされる。最適のV/Gが軸方向のスライス、ウェーハの確認及びシミュレーションの結果の相関関係から決定され、続いて最適な引上げ速度プロファイルが決定され、そのプロファイルでインゴットが製造される。実際の引上げ速度プロファイルは所望のインゴットの直径、使用される特定のホットゾーン炉及びシリコン融液の品質等を含めてこれに限定されない多くの変数に依存する。

【0016】引上げ速度を徐々に低下させてV/Gを連続的に低下させたときのインゴットの断面図を描いてみると、図3に示される事実が分かる。図3には、インゴット内での空孔型点欠陥が支配的に存在する豊富領域が[V]、格子間Si型点欠陥が支配的に存在する領域が[I]、及び空孔型点欠陥の凝集体及び格子間Si型点欠陥の凝集体が存在しないパーフェクト領域が[P]としてそれぞれ示される。図3に示すように、インゴットの軸方向位置P₁は、中央に空孔型点欠陥が支配的に存在する領域を含む。位置P₂は位置P₁に比べて中央に小さい空孔型点欠陥が支配的に存在する領域を含む。位置P₃は格子間Si型点欠陥が支配的に存在するリング領域及び中央のパーフェクト領域を含む。また位置P₄は中央に空孔型点欠陥もなく、縁部分に格子間Si型点欠陥もないので全てパーフェクト領域である。

【0017】図3から明らかなように、位置P₁に対応したウェーハW₁は、中央に空孔型点欠陥が支配的に存在する領域を含む。位置P₂に対応したウェーハW₂は、ウェーハW₁に比べて中央に小さい面積で空孔型点欠陥が支配的に存在する領域を含む。位置P₃に対応したウェーハW₃は、格子間Si型点欠陥が支配的に存在するリング及び中央のパーフェクト領域を含む。また位置P₄に対応したウェーハW₄は中央に空孔型点欠陥もないし、縁部分に格子間Si型点欠陥もないので全てパーフェクト領域である。

【0018】この空孔型点欠陥が支配的に存在する領域のパーフェクト領域に接する僅かな領域、及び全てがパーフェクト領域では、ウェーハ面内でCOPもLDも発

生していない。図4に示すように、ウェーハW₁ではウェーハの半径の1/2付近にOSFリングが発生する。ここでOSFとは、酸化誘起積層欠陥(Oxidation Induced Stacking Fault)の略語であり、結晶成長時にその核となる酸素析出物の微小欠陥が導入され、半導体デバイスを製造する際の酸化工程等の熱処理でウェーハの状態で顕在化する欠陥である。この熱処理条件としては、例えば酸素雰囲気下、1000℃±30℃の温度で2～5時間熱処理し、引続き1130℃±30℃の温度で1～16時間熱処理することが挙げられる。このOSFリングで囲まれた空孔型点欠陥が支配的に存在する領域はCOPが出現する傾向がある。これに対して、ウェーハW₂ではOSFはリング状にならずに、ウェーハの中心部にのみ発生する。

【0019】本発明で用いられるシリコンウェーハは、このウェーハW₂又は全てがパーフェクト領域のW₄である。このシリコンウェーハW₂は、図5に示すようにOSFがリング状でなく、中心部にのみ顕在化するように選定して決められた引上げ速度プロファイルで成長したインゴットをスライスして作製される。図6はその平面図である。このシリコンウェーハW₂ではOSFがリング状を形成しないため、COPフリーである。またLDの発生もない。またシリコンウェーハW₄は、図7に示すように全てパーフェクト領域を作るように選定して決められた引上げ速度プロファイルで成長したインゴットをスライスして作製される。図8はその平面図である。このシリコンウェーハW₄についても、COPフリーであり、LDの発生もない。

【0020】ここで、COPフリーとは0.12μm以上のCOPの数を実質的に0個であることをいう。なお、COPのサイズは、パーティクルカウンタの製造メーカー、型式によって異なる値を示すことがあるため、本明細書において「0.12μmのCOP」とは、垂直入射型のKLA-Tencor社製のSFS6200シリーズ、ADE社製のCR80シリーズ又は日立電子エンジニアリング社製のLS6000シリーズの各パーティクルカウンタで0.12μmの値を示すCOPをいう。また上記パーティクルカウンタで計測される値はボリスチレンラテックス粒子の換算値であり、原子間力顕微鏡(AFM)による実測値ではない。

【0021】上記条件で引上げられたインゴットをスライスして作製されたシリコンウェーハW₂又はW₄の表面には、シリコンのエピタキシャル成長によるエピタキシャル層が形成される。このエピタキシャル成長には、エピタキシャル層の結晶性、量産性、装置の簡便さ、種々のデバイス構造形成の容易さなどの観点から、CVD法が採用される。CVD法によるシリコンのエピタキシャル成長は、例えばSiCl₄、SiHCl₃、SiH₂Cl₂、SiH₄などのシリコンを含む原料ガスをH₂ガスとともに反応炉内に導入して、上記シリコンウェーハW

、又はW₁の表面に、原料ガスの熱分解又は還元により生成されたシリコンを析出させることで行われる。特に薄膜のエピタキシャル層を形成する場合、エピタキシャル成長温度を低く抑えて均一の厚さを有するエピタキシャル層を形成でき、かつ高濃度基板（ウェーハ）から薄膜のエピタキシャル層へのオートドーピングを抑制できることから、減圧CVD（10～15 Torr）が好ましい。

【0022】エピタキシャルウェーハが、高性能バイポーラトランジスタやバイポーラIC用のエピタキシャルウェーハである場合には、基板となるシリコンウェーハは低抵抗に、エピタキシャル層は高抵抗に作製する。このようなシリコンウェーハW₁、又はW₂としては、抵抗率が0.02Ωcm以下、好ましくは0.01～0.02Ωcm、更に好ましくは0.015Ωcm以下の低抵抗のものが用いられ、またこのようなエピタキシャル層としては、抵抗率が5Ωcm以上、好ましくは10Ωcm以上のものが用いられる。この低抵抗のシリコンウェーハは、CZ法によるシリコン単結晶の引上げ時に、p型の場合、ドーパントとしてB（ボロン）が 3×10^{18} atoms/cm³以上の濃度で、またn型の場合、ドーパントとしてSb（アンチモン）が 1×10^{18} atoms/cm³以上の濃度で用いられる。また高抵抗のエピタキシャル層の形成時には、原料ガスとともにB₂H₆、PH₃、AsH₃などのガスが使用される。

【0023】本発明のエピタキシャル層の厚さを0.5～5μmの極薄にすることにより、このエピタキシャルウェーハからトランジスタを作製した場合に、トランジスタの動作速度をより向上して高性能化することができる。この厚さが0.5μm未満ではエピタキシャル層の厚さの均一化が難しく、また5μmを超えると高性能とならない。好ましい厚さは1～4μmである。

【0024】

【実施例】次に本発明の実施例を比較例とともに説明する。

＜実施例1＞図3に示した位置P₁に対応する領域をインゴット全長にわたって育成するようにインゴットを引上げた。このときドーパントとしてB（ボロン）を 1×10^{18} atoms/cm³の濃度でドーブした。このシリコン単結晶インゴットからスライスされたシリコンウェーハ（図3のウェーハW₁）をラッピングし、面取り加工を施した後、鏡面研磨することにより、抵抗率が0.02Ωcmで直径が8インチのシリコンウェーハを用意した。このシリコンウェーハの表面における0.09μm以上のサイズの欠陥（COPを含む。）をレーザパーティクルカウンタ（KLA-Tencor社製、SF56200）を用いて調べた。その結果、ウェーハ当たり10個観察された。

【0025】このシリコンウェーハの表面に減圧CVD法（80 Torr）により、原料ガスとしてSiH₄C

1₂を、またエピタキシャル層の抵抗調整用にB₂H₆ガスをそれぞれ用い、成長温度1080℃、成長速度1μm/分の条件で、厚さ3μmで抵抗率5Ωcmのエピタキシャル層を形成した。これにより低抵抗基板で高抵抗エピタキシャル層のエピタキシャルウェーハを得た。このエピタキシャルウェーハの表面における0.09μm以上のサイズの欠陥（COP及びLDを含む。）を上記と同じレーザパーティクルカウンタを用いて調べた。その結果、0.09μm以上0.13μm未満では検出不能であり、0.13μm以上ではウェーハ当たり3個観察された。

【0026】＜実施例2＞図3に示した位置P₁に対応する領域をインゴット全長にわたって育成するようにインゴットを引上げた。このときドーパントとしてB（ボロン）を 1×10^{18} atoms/cm³の濃度でドーブした。このシリコン単結晶インゴットからスライスされたシリコンウェーハ（図3のウェーハW₁）をラッピングし、面取り加工を施した後、鏡面研磨することにより、抵抗率が0.02Ωcmで直径が8インチのシリコンウェーハを用意した。基板となるシリコンウェーハの表面、及びエピタキシャルウェーハの表面における0.09μm以上のサイズの欠陥（COP及びLDを含む。）を実施例1と同じレーザパーティクルカウンタを用いて調べた。その結果、基板となるシリコンウェーハ表面では10個、エピタキシャルウェーハ表面ではウェーハ当たり7個観察された。

【0027】＜比較例1＞図3に示した位置P₁に対応する領域をインゴット全長にわたって育成するようにインゴットを引上げ、実施例と同様にして直径が8インチのシリコンウェーハ（図3のウェーハW₁）を得た。引上げ時に実施例と同様にB（ボロン）をドーブした。これ以外は、実施例と同様にしてエピタキシャルウェーハを作製した。基板となるシリコンウェーハの表面、及びエピタキシャルウェーハの表面における0.09μm以上のサイズの欠陥（COP及びLDを含む。）を実施例と同じレーザパーティクルカウンタを用いて調べた。その結果、基板となるシリコンウェーハ表面及びエピタキシャルウェーハ表面に、それぞれリング状にウェーハ当たり100個観察された。

【0028】

【発明の効果】以上述べたように、本発明によれば、ウェーハ面内でCOPもLDも殆ど発生しないシリコンウェーハをエピタキシャル層積層用の基板とすることにより、薄膜のエピタキシャル層を形成したときにこのエピタキシャル層表面にCOPもLDも殆ど生じない。これにより、電気的特性がより向上し、かつ製造時の歩留りも大きい薄膜のエピタキシャル層が形成されたエピタキシャルウェーハが得られる。

【図面の簡単な説明】

【図1】ボロンコフの理論に基づいた、V/G比が臨界

点以上ではベカンシー豊富インゴットが形成され、 V/G 比が臨界点以下ではインタースチシャル豊富インゴットが形成されることを示す図。

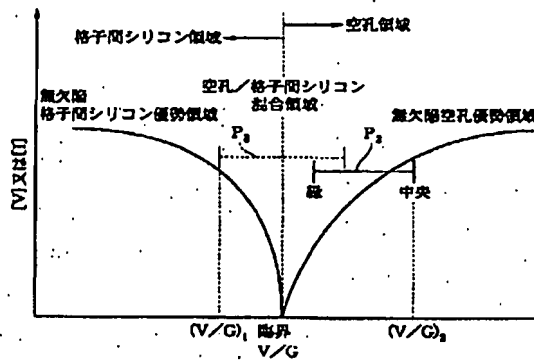
【図2】 所望の引上げ速度プロファイルを決めるための引上げ速度の変化を示す特性図。

【図3】 本発明による基準インゴットのベカンシー豊富領域、インタースチシャル豊富領域及びパーフェクト領域を示すX線トポグラフィの概略図。

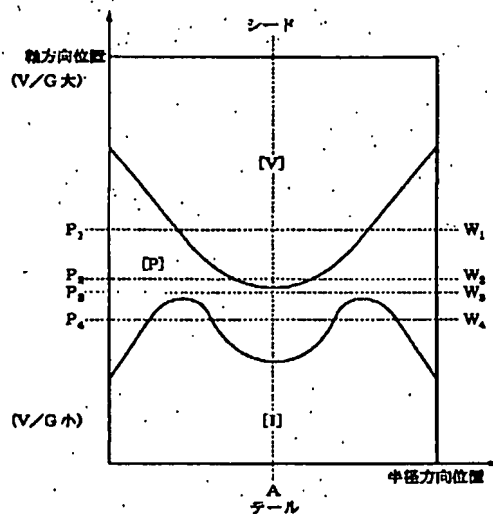
【図4】 図3の位置P₁に対応するシリコンウェーハW₁にOSFリングが出現する状況を示す図。

*10 【図8】 そのウェーハの平面図。

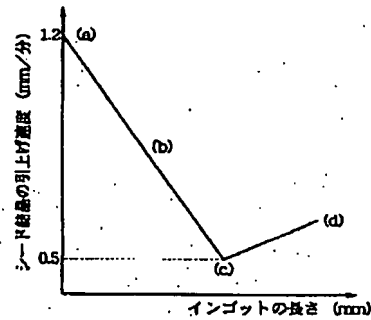
【図1】



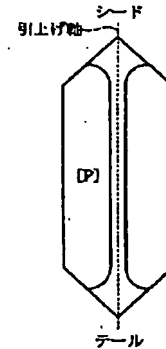
【図3】



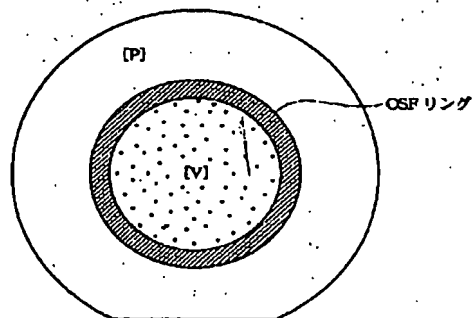
【図2】



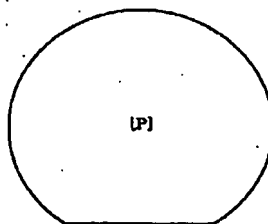
【図5】



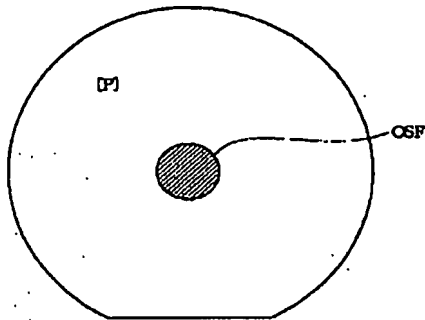
【図4】



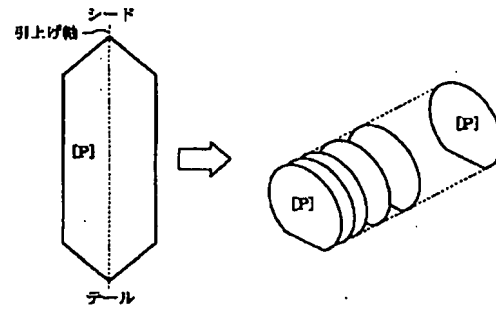
【図8】



【図6】



【図7】



フロントページの続き

(72)発明者 木村 雅貴
東京都千代田区大手町1丁目5番1号 三
菱マテリアルシリコン株式会社内

Fターム(参考) 4G077 AA02 AA03 AB01 AB06 BA04
CF10 DB01
SF052 KA05
SF053 AA12 DD01 FF04 GG01 HH04
JJ01 JJ03 KK03 KK10 RR03
RR04

BEST AVAILABLE COPY